

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ H03K 17/22	(11) 공개번호 특2000-0015310
	(43) 공개일자 2000년03월 15일
(21) 출원번호 10-1998-0035140	
(22) 출원일자 1998년08월28일	
(71) 출원인 페어차일드코리아반도체 주식회사	김덕중
(72) 발명자 류영기	경기도 부천시 원미구 도당동 82-3
(74) 대리인 김원호, 김원근	서울특별시 강남구 개포1동

심사청구 : 없음

(54) 셀프 바이어스 회로를 이용한 셋 다운 래치 회로

요약

이 발명은 셀프 바이어스 회로를 이용한 셋 다운 래치 회로에 관한 것으로, 시스템이 정상 동작하기 전까지의 대기 모드시에 기준 전압이 발생되지 않음에 따라 동작을 하지 않고, 시스템이 정상 동작을 시작할 때 기준 전압이 인가되어 시스템의 이상 유무에 따라 시스템을 셋 다운할 준비 상태를 유지하다가 오동작 또는 과전압 등과 같은 시스템 에러가 발생하면 비교부에서 시스템 에러를 감지하여 시스템 에러에 대한 신호를 출력하며, 셀프 바이어스 회로에서 상기 비교부에서 출력한 시스템 에러 감지 신호에 따라 시스템을 셋 다운시키는 신호를 시스템측으로 계속해서 출력하여 시스템의 셋 다운 상태가 유지되도록 함으로써, 시스템의 대기 모드시 불필요하게 소비되는 전력의 낭비를 방지하고, 시스템의 수명을 연장시키며, 수출 규격에 알맞은 대기 모드 전력 소비 규정을 만족시키는 효과를 가지도록 한다.

대표도

도2

명세서

도면의 간단한 설명

도1은 종래의 셋 다운 래치 회로도이다.

도2는 종래의 셋 다운 래치 회로에서 시스템 모드에 따른 전원 전압과 기준 전압, 각 부의 입출력 신호를 나타낸 파형도이다.

도3은 이 발명의 실시예에 따른 셀프 바이어스 회로를 이용한 셋 다운 래치 회로의 블록 구성도이다.

도4는 이 발명의 제1실시예에 따른 셀프 바이어스 회로를 이용한 셋 다운 래치 회로도이다.

도5는 이 발명의 제2실시예에 따른 셀프 바이어스 회로도이다.

도6은 이 발명의 실시예에 따른 셀프 바이어스 회로를 이용한 셋 다운 래치 회로에서 시스템 모드에 따른 전원 전압, 기준 전압, 각부의 입력 및 출력 신호를 나타낸 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 셋 다운 래치 회로에 관한 것으로, 더욱 상세히 말하자면, 전력의 소비를 줄일 수 있는 셀프 바이어스 회로(selfbias circuit)를 이용한 셋 다운 래치 회로에 관한 것이다.

일반적으로 시스템의 동작 상태는 전원 전압(Vcc)이 인가되어 일정 전압 이상이 될 때까지의 대기(standby) 모드와 상기 전원 전압이 일정 전압 이상이 되어 기준 전압(Vref)이 발생하여 시스템이 정상 동작하는 정상동작 모드와, 시스템 오프 모드로 구별된다.

셋 다운 래치 회로는 상기 모드중 정상동작 모드시 발생하는 시스템의 오동작 또는 과전압과 같은 이상 동작을 감지하여 시스템을 셋 다운시키는 역할을 한다.

종래의 셋 다운 래치 회로를 도1을 참조하여 설명한다.

도1은 종래의 셋 다운 래치 회로도이다.

셋 다운 래치 회로는 크게 두 개의 비교기(com1, com2)와, 상기 두 비교기(com1, com2)의 출력을 입력으로 하여 배타적 논리합(exclusive-OR)을 수행하는 논리부(1)와, 종속 전류원(2)으로 구성되어 있다.

상기 두 개의 비교기(com1, com2)중 하나는 시스템에 이상이 발생할 경우에 시스템 이상을 감지하는 비교기(com1)이고, 나머지 하나는 시스템이 계속적으로 셋 다운 상태가 되도록 래치 기능을 가지도록 하는 비교기(com2)이다.

상기 비교기(com1)는 전원 전압(Vcc)을 동작 전원으로하여 시스템 이상 여부 신호(Vfb)를 비반전 입력으로 하고 설정된 제1 설정 전압(Vth1)을 반전 입력으로 한다. 그리고, 상기 비교기(com2)는 설정된 제2 설정 전압(Vth2)을 반전 입력으로 하고, 상기 종속 전류원(2)으로부터 입력되는 전압을 비반전 입력으로 한다.

상기 종속 전류원(2)은 전원 전압(Vcc)에 이미터가 연결되어 전류 미러를 형성하는 트랜지스터(Q1, Q2)와, 상기 논리부(1)의 출력을 베이스 입력으로 하고 상기 트랜지스터(Q1)의 컬렉터에 컬렉터가 연결되고 이미터가 접지된 트랜지스터(Q3)와, 상기 트랜지스터(Q2)의 컬렉터와 상기 비교기(com2)의 비반전 단자에 일단이 연결되고 타단이 접지된 저항(R1)으로 이루어져 있다. 그리고, 트랜지스터(Q2)의 컬렉터와 상기 저항(R1)의 일단에 출력단(output)이 형성되어 있다.

상기와 같이 구성된 셋 다운 래치 회로는 시스템이 정상인 상태에서는 상기 비교기(com1)의 비반전 입력(Vfb)이 제1 설정 전압보다 낮은 전압이 입력되므로, 동작하지 않는다.

그러다가, 시스템에 과전압이 발생하거나, 내부적인 오동작이 발생할 경우에 상기 비교기(com1)는 비반전 단자로부터 상기 제1 설정 전압(Vth1)보다 높은 전압(Vfb)을 입력받아 상기 논리부(1)가 하이 신호를 출력하도록 하여 셋 다운 래치 회로가 구동하도록 한다.

이때 비교기(com2)는 상기 종속 전류(2)의 출력을 비반전 입력하여 상기 논리부(1)가 계속해서 하이 신호를 출력하고, 그에 따라 셋 다운 래치 회로가 계속 구동하도록 한다.

여기서, 셋 다운 래치 회로가 구동하면 상기 종속 전류원(2)에 형성된 출력단을 통해 하이 신호가 출력된다.

상기 셋 다운 래치 회로에서 출력된 하이 신호는 시스템을 셋 다운되도록 하는 기능을 가진다.

이상과 같은 동작을 하는 종래의 셋 다운 래치 회로는 구동을 위해 필요로 하는 전원을 전원 전압(Vcc)로부터 공급받음에 따라 시스템의 대기 모드 및 정상 동작 모드에 관계없이 시스템에 전원 전압(Vcc)이 인가되는 순간부터 전원 전류를 소모한다.

도2는 종래의 셋 다운 래치 회로에서 시스템 모드에 따른 전원 전압과 기준 전압, 각 부의 입출력 신호를 나타낸 파형도이다.

도2의 Vcc는 인가되는 전원 전압의 레벨을 나타내고, Vref는 기준 전압을 나타내고, latch는 종래 기술의 회로에 흐르는 전류를 나타내고, Vfb는 시스템 이상 신호를 나타내고, Latch OUT는 종래 기술의 출력을 나타낸다.

그리고, 도2에서 A구간은 시스템 대기 모드구간이고, B구간은 시스템 정상 동작 구간이고, C구간은 시스템 에러에 따른 시스템 셋 다운 상태를 나타낸 구간이다.

도2에 도시된 바와같이 종래의 셋 다운 래치 회로는 도2의 latch와 같이 전원 전압에 따라 구동함으로써, 시스템 대기 모드를 나타내는 A구간에서 소비되는 전력이 발생함을 알 수 있다.

다시 말해, 사용자가 시스템의 플러그를 외부 전원 단자에 접속시키는 순간부터(시스템은 대기 모드가 된다.) 종래의 셋 다운 래치 회로는 전원 전압을 공급받아 사용자가 시스템을 정상 동작(정상동작모드)시키는 순간까지도 전원 전류를 소비한다.

상기와 같은 전원 전류의 소모는 대기 모드에서 불필요한 전력을 소비하게 하는 원인이 되며, 이는 시스템의 대기 모드시 소비되는 전력의 약 50%를 차지하게 된다.

현재 외국의 경우, 수입하는 전자 제품에 대해 대기 모드시 소비되는 전력의 범위를 규제함에 따라, 우리나라도 대기 모드시 소비 전력을 줄이는 것에 대해 많은 노력을 요구하고 있다.

발명이 이루고자하는 기술적 과제

따라서, 이 발명은 셋 다운 래치 회로가 시스템이 대기 모드일때 전력 소비를 하지 않도록하여 시스템의 대기 모드시에 전력이 소비되는 것을 방지한다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명은,

시스템의 대기 모드시 기준 전압이 발생되지 않음에 따라 동작을 하지 않고, 시스템의 정상 동작 모드시 인가되는 기준 전압을 입력받아 구동을 시작하여 시스템의 이상 유무에 대한 신호가 입력되는지를 비교부를 통해 확인하고, 시스템 이상 신호가 입력되면 시스템 에러에 대한 신호를 출력하여 셀프 바이어스 회로가 시스템 에러 감지 신호에 따라 시스템을 셋 다운시키는 신호를 시스템측으로 계속해서 출력하도록 함으로써, 시스템이 계속해서 셋 다운 상태가 유지되도록 한다.

상기와 같은 동작을 수행하는 이 발명의 구성은,

기준 전압을 동작 전원으로 하고, 외부로부터 시스템 에러 신호가 입력되는 지를 검출하여, 검출한 결과에 해당하는 신호로 출력하는 비교부와;

상기 기준 전압과 전원 전압을 입력으로하여 동작하고, 상기 비교부에서 출력하는 신호중 시스템 에러시 출력한 신호에 따라 시스템을 지속적으로 셧 다운시키기 위한 신호를 출력하는 셀프 바이어스 회로로 이루어진다.

이하, 이 발명의 실시예를 첨부한 도면을 참조하여 설명한다.

도3은 이 발명의 실시예에 따른 셀프 바이어스 회로를 이용한 셧 다운 래치 회로의 블록 구성도이다.

도3에 도시되어 있듯이, 이 발명은 비교부(10)와, 바이어스부(21)와 에러 방지부(22)로 이루어진 셀프 바이어스 회로(20)로 이루어진다.

상기 비교부(10)는 기준 전압을 동작 전원으로 하여 시스템 이상시 입력되는 시스템 이상 신호에 따라 시스템을 셧 다운하기 위한 신호를 출력한다.

상기 셀프 바이어스 회로(20)는 상기 에러 방지부(22)에서 기준 신호(V_{ref})가 인가되지 않은 상태에서 전원 전압(V_{cc})이 인가될 때 회로 소자의 이상동작에 의해 셧 다운 신호가 출력되는 것을 방지하고, 상기 기준 전압(V_{ref})이 인가되는 상태에서 상기 비교부(10)에서 출력하는 시스템 이상 신호를 상기 바이어스부(21)가 입력받아 시스템이 셧 다운 되도록 하는 신호를 지속적으로 출력한다.

여기서, 상기와 같이 구성된 이 발명의 동작을 설명한다.

비교부(10)는 기준 전압(V_{ref})을 구동 전원으로 한다.

그러므로, 상기 비교부(10)는 시스템이 대기 모드일 때에는 전원 전압(V_{cc})이 기준 전압(V_{ref})을 발생시킬 정도의 레벨이 되지 못하므로, 기준 전압(V_{cc})을 인가받지 못하여 구동하지 않는다.

따라서, 이 발명은 시스템 대기 모드시에 기존 시스템의 1/2 정도의 전력이 소비된다.

그러나, 시스템이 대기 모드에서 동작 모드로 전환하면, 전원 전압(V_{cc})은 기준 전압(V_{ref})을 발생시킬 정도의 레벨로 상승하여 기준 전압을 발생시킨다.

그러므로, 상기 비교부(10)는 구동하여 반전 단자와 비반전 단자로부터 해당 신호를 입력받는다.

여기서, 비반전 단자는 외부로부터 입력되는 시스템 이상 여부 신호(V_{fb})를 입력받고, 반전 단자는 설정 전압(V_{th})을 입력으로 한다.

그런 다음, 상기 비교부(10)는 입력한 두 신호를 비교한 후 비교 신호를 출력한다.

상기 비교부(10)의 비반전 단자는 시스템이 정상 동작하는 경우에는 설정 전압(V_{th})보다 낮은 전압 레벨의 신호가 입력되나, 시스템이 오동작 또는 과전압 등과 같이 시스템에 손상을 주는 요인이 발생하면 상기 설정 전압(V_{th})보다 높은 전압 신호가 입력된다.

따라서, 상기 비교부(10)는 시스템 이상 신호(V_{fb})가 설정 전압(V_{th})보다 클 경우에 하이 신호를 발생하여 상기 셀프 바이어스 회로(20)로 출력한다.

상기 셀프 바이어스 회로(20)는 상기 기준 전압(V_{ref})이 인가되기 전 즉 시스템 대기 모드시에는 동작하지 않아야 한다. 그러나, 상기 셀프 바이어스 회로(20)에는 시스템 대기 모드시에도 전원 전압(V_{cc})을 인가받고 있으므로, 회로 소자의 이상 등에 의해 원치않은 동작을 수행하는 경우가 발생할 수 있다.

따라서, 상기 셀프 바이어스 회로(20)는 에러 방지부(22)를 가짐으로서, 상기와 같은 오동작을 방지한다.

상기 에러 방지부(22)는 시스템 대기 모드시에 회로 소자의 오동작에 의해 발생하는 셧 다운 신호를 차단하여 상기 셀프 바이어스 회로(20)가 정상 동작하도록 한다.

상기 셀프 바이어스 회로(20)의 바이어스부(21)는 상기 비교부(10)에서 출력하는 시스템 이상 신호를 입력받고, 시스템 이상에 따라 시스템이 셧 다운되도록 하는 신호를 출력한다. 그리고 이때 상기 바이어스부(21)는 시스템이 셧 다운되도록 하는 신호가 계속해서 출력되도록 셀프 바이어스한다.

이상과 같은 이 발명의 동작을 도4를 참조로 설명한다.

도4는 이 발명의 제1실시예에 따른 셀프 바이어스 회로도이다.

도4에 도시된 제1실시예는 외부 회로와 관련하지 않고 자체적으로 구동 가능한 회로를 보인 것이다.

상기 비교부(10)는,

기준 전압(V_{ref})에 이미터가 연결되고 베이스가 공통으로 연결되어 증속 전류원을 형성하는 PNP 타입의 트랜지스터(Q10, Q11, Q12, Q13)와, 상기 트랜지스터(Q10)의 컬렉터와 접지단 사이에 위치한 전류원(I_s)와, 상기 트랜지스터(Q11)의 컬렉터에 베이스와 컬렉터가 연결된 NPN 타입의 트랜지스터(Q14)와, 상기 트랜지스터(Q14)의 이미터에 캐소드가 연결되고 애노드가 접지된 제너 다이오드(ZD)와, 상기 트랜지스터(Q12)의 컬렉터에 이미터가 연결되고 상기 트랜지스터(Q11)의 컬렉터에 베이스가 연결된 PNP 타입의 트랜지스터(Q15)와, 상기 트랜지스터(Q12)의 컬렉터와 상기 트랜지스터(Q15)의 이미터에 이미터가 연결되고 시스템 이상 신호를 베이스 입력으로하여 PNP 타입의 트랜지스터(Q16)와, 베이스가 서로 연결되어 전류미러를 형성하고, 상기 트랜지스터(Q15, Q16)의 컬렉터에 각각 컬렉터가 연결되어 이미터가 접지되며, 상기 트랜지스터(Q15, Q16)과 함께 비교 회로를 형성하는 NPN 타입의 트랜지스터(Q17, Q18)와, 상기 트랜지스터(Q16, Q18)의 컬렉터에 베이스가 연결되고 상기 트랜지스터(Q13)의 컬렉터에 컬렉터가 연결되며 이미터가 접지된 NPN 타입의 트랜지스터(Q19)로 이루어진다.

상기 트랜지스터(Q10)는 컬렉터와 베이스가 서로 연결되어 있다.

그리고, 상기 트랜지스터(Q19, Q13)의 컬렉터에는 상기 셀프 바이어스 회로(20)와 연결되는

출력단(OUT1)이 형성되어 있다.

상기 셀프 바이어스 회로(20)는,

전원 전압(Vcc)에 이미터가 연결되고 베이스가 공통 연결되어 증속 전류원을 형성하는 PNP 타입의 트랜지스터(Q20, Q21, Q22, Q23)와, 상기 트랜지스터(Q20)의 컬렉터와 상기 비교부(10)의 출력단(OUT1)에 컬렉터가 연결되고 이미터가 접지된 NPN 타입의 트랜지스터(Q24)와, 상기 트랜지스터(Q21)의 컬렉터와 베이스에 컬렉터가 연결되고 상기 트랜지스터(Q24)의 베이스에 이미터가 연결된 NPN 타입의 트랜지스터(Q25)와, 상기 트랜지스터(Q25)의 이미터와 상기 트랜지스터(Q24)의 베이스에 일단이 연결되고 타단이 접지된 저항(R10)과, 상기 트랜지스터(Q23)의 컬렉터에 일단이 연결되고 타단이 접지된 저항(R12)으로 이루어진 바이어스부(21)와;

상기 트랜지스터(Q25)의 베이스에 이미터가 연결되고 컬렉터가 접지된 PNP 타입의 트랜지스터(Q26)와, 상기 트랜지스터(Q26)의 베이스에 일단이 연결되고 타단이 접지된 저항(R11)으로 이루어진 에러 방지부(22)로 이루어진다.

상기에서, 비교부(10)는 기준 전압에 이미터가 연결되고 상기 비교부(10)의 트랜지스터(Q10)의 베이스에 베이스가 연결되며 상기 트랜지스터(Q26)의 베이스에 컬렉터가 연결된 PNP 타입의 트랜지스터(Q27)를 더 포함하여 이루어진다.

그리고, 상기 트랜지스터(Q23)의 컬렉터에 상기 셀프 바이어스 회로(20)의 출력단(OUT2)이 형성되어 있다.

상기 출력단(OUT2)에서 출력하는 파형은 도6의 Latch OUT과 같다.

상기와 같이 구성된 이 발명의 제1실시예에 따른 셀프 바이어스 회로를 이용한 셋 다운 래치 회로의 동작을 설명한다.

우선, 시스템에 전원 전압이 인가되면 시스템은 대기 모드가 되어 정상 동작을 위한 준비 상태가 된다.

이때, 이 발명의 비교부(10)는 기준 전압(Vref)에 따라 구동하므로 시스템이 구동하지 않음에 따라 기준 전압(Vref)을 공급받지 않는 상태로 유지되며, 그에 따라 이 발명은 아무런 전력의 소비를 하고 있지 않은 상태가 된다.

그러나, 셀프 바이어스 회로(20)는 트랜지스터(Q20, Q21, Q22, Q23)의 이미터를 통해 전원 전압(Vcc)을 인가받으며, 상기 비교부(10)에서 출력하는 시스템 이상 유무에 대한 신호를 베이스 입력으로 하는 트랜지스터(Q25)의 동작에 따라 구동한다.

여기서, 트랜지스터(Q20)가 오동작하여 컬렉터를 통해 상기 트랜지스터(Q25)의 베이스에 하이 신호를 인가시켜 턴 온시키고, 그에 따라 트랜지스터(Q21)의 베이스에 바이어스 전압이 인가되어 상기 트랜지스터(Q21)가 턴 온되는 경우가 발생할 수 있다.

그러면, 상기 셀프 바이어스 회로(20)의 바이어스부(21)는 원치않는 동작을 하게 되며, 그에 따라 셋 다운 신호를 출력시키는 문제점을 발생시킨다.

그러나, 상기와 같은 문제점은 에러 방지부(22)에 의해 해결된다.

즉, 상기 에러 방지부(22)의 트랜지스터(Q26)는 기준 전압(Vref)을 입력받아 전류를 인가하는 트랜지스터(Q27)의 컬렉터가 저항(R11)에 의해 변환된 전압을 베이스 입력으로 한다.

그러므로, 상기 트랜지스터(Q26)는 상기 트랜지스터(Q27)로부터 전류를 인가받지 않고 트랜지스터(Q22)로부터 인가되는 전압에 반응으로서 턴 온된다.

상기 트랜지스터(Q26)이 턴 온되면, 상기 트랜지스터(Q20)으로부터 인가되는 전류가 트랜지스터(Q26)을 통해 접지단으로 흘러버려 상기 트랜지스터(Q21)에 바이어스 전압이 인가되지 않는다.

결국, 상기 에러 방지부(22)는 상기 바이어스부(21)의 오동작에 따른 셋 다운 신호가 출력되는 것을 방지한다.

시스템이 정상 동작을 시작하면, 기준 전압(Vref)이 발생하고 상기 트랜지스터(Q27)의 컬렉터에 전류가 인가되어 상기 트랜지스터(Q26)을 턴 오프시킨다.

그리고, 상기 기준 전압(Vref)은 비교부(10)에 인가된다.

상기 비교부(10)는 트랜지스터(Q10, Q11, Q12, Q13)의 이미터를 통해 전원 전압(Vcc)을 인가받아 컬렉터를 통해 회로에 전류가 인가되도록 한다.

그리고, 상기 트랜지스터(Q27) 또한 전원 전압(Vcc)을 에미터로 인가받아 전류를 트랜지스터(Q26)의 베이스측으로 인가한다.

트랜지스터(Q14, Q15)는 상기 트랜지스터(Q11)로부터 전류를 베이스로 인가받아 턴 온한다.

상기 트랜지스터(Q14)는 다이오드의 기능을하여 전류를 제너 다이오드(ZD)로 인가하며, 상기 제너 다이오드(ZD)는 제너 전압이상의 전압이 입력되는 경우만 입력되는 전류를 접지단으로 흘려보낸다.

상기 트랜지스터(Q15)는 트랜지스터베이스로부터 인가되는 전류에 의해 설정 전압(Vth)을 설정하고, 트랜지스터(Q16)의 베이스에 인가되는 전압에 따라 트랜지스터(Q11)로부터 인가되는 전류를 제한한다.

그리고, 상기 트랜지스터(Q15)와 더불어 비교 회로를 구성하는 트랜지스터(Q16)은 외부로부터 입력되는 시스템 이상 유무에 대한 전압 신호(Vfb)를 베이스 입력으로하여 상기 트랜지스터(Q15)의 베이스에 입력되는 제1설정전압(Vth)에 의해 트랜지스터(Q12)로부터 인가되는 전류를 제한다.

그러므로, 상기 트랜지스터(Q15, Q16)의 각 베이스에 입력되는 전압중 설정 전압(V_{th})이 시스템 이상 유무에 대한 전압(V_{fb})보다 높으면 상기 트랜지스터(Q16)의 컬렉터에는 하이 신호가 인가되고, 설정 전압(V_{th})이 시스템 이상 유무에 대한 전압(V_{fb})보다 낮으면 로우 신호가 인가된다.

여기서, 시스템에 이상이 검출되면 시스템 이상 유무 전압(V_{fb})은 설정 전압(V_{th})보다 높다.

따라서, 상기 트랜지스터(Q16)의 컬렉터에 하이 신호가 인가된다는 것은 시스템이 정상이라는 것을 의미하고, 로우 레벨이 인가된다는 것은 시스템에 이상이 발생하였다는 것을 의미한다.

만약, 상기 트랜지스터(Q16)의 컬렉터에 하이 신호가 인가되면 상기 출력단(OUT1)을 통해 인가되는 전류는 트랜지스터(Q19)를 턴 온시키고, 상기 트랜지스터(Q19)의 컬렉터에 형성된 출력단(OUT1)에 로우 신호가 인가되어 셀프 바이어스 회로(20)로 입력된다.

그러나, 상기 셀프 바이어스 회로(20)는 상기 출력단(OUT1)으로부터 인가되는 로우 레벨 신호를 베이스 입력하는 트랜지스터(Q25)가 턴 오프됨에 따라 바이어스부(21)가 구동하지 않게되어 구동하지 않으며, 그에 따라 시스템 셋 다운 신호를 출력하지 않는다.

한편, 상기 출력단(OUT1)에 하이 신호가 인가되면, 상기 트랜지스터(Q25)는 턴 온된다.

그리고, 트랜지스터(Q20, Q21, Q22, Q23)는 베이스에 바이어스 전압이 인가되어 턴 온되고, 컬렉터에 전원 전압(V_{cc})에 대한 전류를 발생시킨다.

따라서, 상기 트랜지스터(Q23)의 컬렉터에 발생한 전류는 저항(R12)에 의해 해당하는 전압이 되어 출력단(OUT2)을 통해 외부로 출력된다.

즉, 상기 바이어스부(22)는 셋 다운 신호를 외부로 출력하게 된다.

그리고, 상기 바이어스부(22)는 상기 비교부(10)의 출력단(OUT1)에 대해 오픈상태가 되어, 전원 전압(V_{cc})이 거의 '0'V로 떨어질때까지 셋 다운 신호를 출력한다.

이하에서, 도5를 참조하여 이 발명의 제2실시예에 따른 셀프 바이어스 회로를 설명한다.

도5에 도시된 이 발명은 자체적으로 발진기를 가지는 시스템에 적용될 때를 보여주는 실시예이다.

도5는 이 발명의 제2실시예에 따른 셀프 바이어스 회로도이다.

도5에 도시된 이 발명의 제2실시예는 전반적으로 제1실시예와 큰 차이를 보이고 있지 않다.

다만, 제1실시예는 상기 에러 방지부(22)가 저항(R11)과 상기 비교부(10)의 트랜지스터(Q27)를 이용하여 상기 비교부(10)의 기준 전압(V_{ref})을 상기 트랜지스터(Q26)의 바이어스 전압으로 사용한 것에 반해, 제2실시예는 자체 발진부의 기준 전압(V_{ref})을 상기 트랜지스터(Q26)의 바이어스 전압으로 사용한 것이 차이로서, 동작의 차이는 없다.

그러므로, 제2실시예는 상기 트랜지스터(Q27)와 저항(R11)을 필요로 하지 않는다.

여기서, 상기 트랜지스터(Q26)의 바이어스 전압으로 사용하는 발진부와 상기 트랜지스터(Q26)의 연결 관계를 설명한다.

상기 발진부(1000)는 기준 전압(V_{cc})단에 연결된 전류원(IS1)과, 상기 전류원(IS1)에 일단이 연결되고 타단이 접지된 커패시터(C)와, 상기 전류원(IS1)에 병렬로 연결된 전류원(IS2)과, 상기 전류원(IS2)에 컬렉터가 연결되고 이미터가 접지된 트랜지스터(Q30)와, 상기 전류원(IS2)에 입력단이 연결되고 출력단이 외부로 연결된 발진기(1100)로 이루어진다.

상기 트랜지스터(Q26)는 상기 발진기(1100)의 입력단에 베이스가 연결되어 있다.

따라서, 제2실시예의 상기 트랜지스터(Q26)는 제1실시예의 트랜지스터(Q26)와 같이 인가되는 기준 전압(V_{ref})에 따라 제1실시예와 동일하게 구동한다.

도6은 이 발명의 실시예에 따른 셀프 바이어스 회로를 이용한 셋 다운 래치 회로에서 시스템 모드에 따른 전원 전압, 기준 전압, 각부의 입력 및 출력 신호를 나타낸 파형도이다.

도6은 이 발명의 달성하고자 하는 이 발명의 목적을 보여주고 있다.

도6의 V_{cc} 는 인가되는 전원 전압의 레벨을 나타내고, V_{ref} 는 기준 전압을 나타내고, I_{latch} 는 비교부(10)에 회로에 흐르는 전류를 나타내고, V_{fb} 는 시스템 이상 신호를 나타내고, $Latch\ OUT$ 는 종래 기술의 출력을 나타낸다.

그리고, 도6에서 A구간은 시스템 대기 모드구간이고, B구간은 시스템 정상 동작 구간이고, C구간은 시스템 에러에 따른 시스템 셋 다운 상태를 나타낸 구간이다.

이 발명의 셋 다운 래치 회로는 도6의 I_{latch} 와 같이 도2에 도시된 전원 전압(V_{cc})이 아닌 기준 전압(V_{ref})에 따라 구동함으로써, 시스템 대기 모드를 나타내는 A구간에서 소비되는 전력이 발생하지 않음을 알 수 있다.

발명의 효과

이 발명은 시스템의 대기 모드시 불필요하게 소비되는 전력의 낭비를 방지하고, 시스템의 수명을 연장시키며, 수출 규격에 알맞은 대기 모드 전력 소비 규정을 만족시키는 효과를 가진다.

(57) 청구의 범위

청구항 1

기준 전압을 동작 전원으로 하고, 외부로부터 시스템 에러 신호가 입력되는 지를 검출하여, 검출한 결과에 해당하는 신호로 출력하는 비교부와;

상기 기준 전압과 전원 전압을 입력으로하여 동작하고, 상기 비교부에서 출력하는 신호중 시스템 에러시 출력한 신호에 따라 시스템을 지속적으로 셧 다운시키기 위한 신호를 출력하는 셀프 바이어스 회로로 이루어진 셀프 바이어스 회로를 이용한 셧 다운 래치 회로.

청구항 2

제1항에서, 상기 비교부는,

시스템 이상 유무 신호(Vfb)를 비반전 입력으로 하고, 설정 전압(Vth)을 반전 입력으로하여, 두 입력 신호를 비교한 신호를 출력하는 오피 앰프인 셀프 바이어스 회로를 이용한 셧 다운 래치 회로.

청구항 3

제1항에서, 상기 셀프 바이어스 회로는

상기 비교부에서 출력하는 시스템 이상 신호를 입력받고, 시스템 이상에 따라 시스템이 셧 다운되도록 하는 신호를 출력하는 바이어스부(21)와,

시스템 대기 모드시 회로 소자의 이상 동작에 의해 셧 다운 신호가 출력되는 것을 방지하는 에러 방지부(22)로 이루어지는 셀프 바이어스 회로를 이용한 셧 다운 래치 회로.

청구항 4

제3항에서, 상기 에러 방지부(22)는,

내부 발진기를 가지지 않은 시스템에 적용될 경우에 상기 비교부에 사용되는 기준 전압을 이용하고, 내부 발진기를 가지는 시스템에 적용될 경우에 상기 내부 발진기의 기준 전압을 이용하여 자체 에러로 인해 시스템 셧 다운 신호가 출력하는 것을 방지하는 셀프 바이어스 회로를 이용한 셧 다운 래치 회로.

청구항 5

제4항에서,

내부 발진기를 가지지 않는 시스템에 적용될 경우에,

상기 비교부는,

기준 전압(Vref)에 이미터가 연결되고 베이스가 공통으로 연결되어 종속 전류원을 형성하는 PNP 타입의 제1, 제2, 제3, 제4트랜지스터(Q10, Q11, Q12, Q13)와,

상기 트랜지스터(Q10)의 컬렉터와 접지단 사이에 위치한 전류원(Is)와,

상기 트랜지스터(Q11)의 컬렉터에 베이스와 컬렉터가 연결된 NPN 타입의 제5트랜지스터(Q14)와,

상기 제5트랜지스터(Q14)의 이미터에 캐소드가 연결되고 애노드가 접지된 제너 다이오드(ZD)와,

상기 제3트랜지스터(Q12)의 컬렉터에 이미터가 연결되고 상기 트랜지스터(Q11)의 컬렉터에 베이스가 연결된 PNP 타입의 제6트랜지스터(Q15)와,

상기 제3트랜지스터(Q12)의 컬렉터와 상기 제6트랜지스터(Q15)의 이미터에 이미터가 연결되고 시스템 이상 신호를 베이스 입력으로하여 PNP 타입의 제7트랜지스터(Q16)와,

베이스가 서로 연결되어 전류미러를 형성하고, 상기 제6, 제7트랜지스터(Q15, Q16)의 컬렉터에 각각 컬렉터가 연결되어 이미터가 접지되며, 상기 제6, 제7트랜지스터(Q15, Q16)과 함께 비교 회로를 형성하는 NPN 타입의 제8, 제9트랜지스터(Q17, Q18)와,

상기 제7, 제9트랜지스터(Q16, Q18)의 컬렉터에 베이스가 연결되고 상기 제4트랜지스터(Q13)의 컬렉터에 컬렉터가 연결되며 이미터가 접지된 NPN 타입의 제10트랜지스터(Q19)와,

기준 전압에 이미터가 연결되고 상기 트랜지스터(Q10)의 베이스에 베이스가 연결되며 하기 트랜지스터(Q26)의 베이스에 컬렉터가 연결된 PNP 타입의 제11 트랜지스터(Q27)로 이루어지고,

상기 셀프 바이어스 회로는,

전원 전압(Vcc)에 이미터가 연결되고 베이스가 공통 연결되어 종속 전류원을 형성하는 PNP 타입의 트랜지스터(Q20, Q21, Q22, Q23)와,

상기 트랜지스터(Q20)의 컬렉터와 상기 비교부(10)의 출력단(OUT1)에 컬렉터가 연결되고 이미터가 접지된 NPN 타입의 트랜지스터(Q24)와,

상기 트랜지스터(Q21)의 컬렉터와 베이스에 컬렉터가 연결되고 상기 트랜지스터(Q24)의 베이스에 이미터가 연결된 NPN 타입의 트랜지스터(Q25)와,

상기 트랜지스터(Q25)의 이미터와 상기 트랜지스터(Q24)의 베이스에 일단이 연결되고 타단이 접지된 저항(R10)과,

상기 트랜지스터(Q23)의 컬렉터에 일단이 연결되고 타단이 접지된 저항(R12)으로 이루어진 바이어스부(21)와,

상기 트랜지스터(Q25)의 베이스에 이미터가 연결되고 컬렉터가 접지된 PNP 타입의 트랜지스터(Q26)와,
상기 트랜지스터(Q26)의 베이스에 일단이 연결되고 타단이 접지된 저항(R11)으로 이루어진 에러
방지부(22)로 구성된 셋 다운 래치 회로.

청구항 6

제5항에서,

내부 발진기를 가진 시스템에 적용될 때,

상기 비교부(10)는,

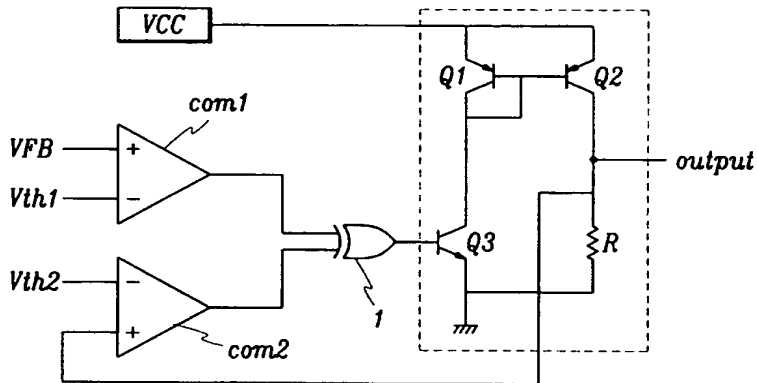
상기 트랜지스터(Q27)를 필요로 하지 않으며,

상기 셀프 바이어스 회로(20)의 에러 방지부(22)는,

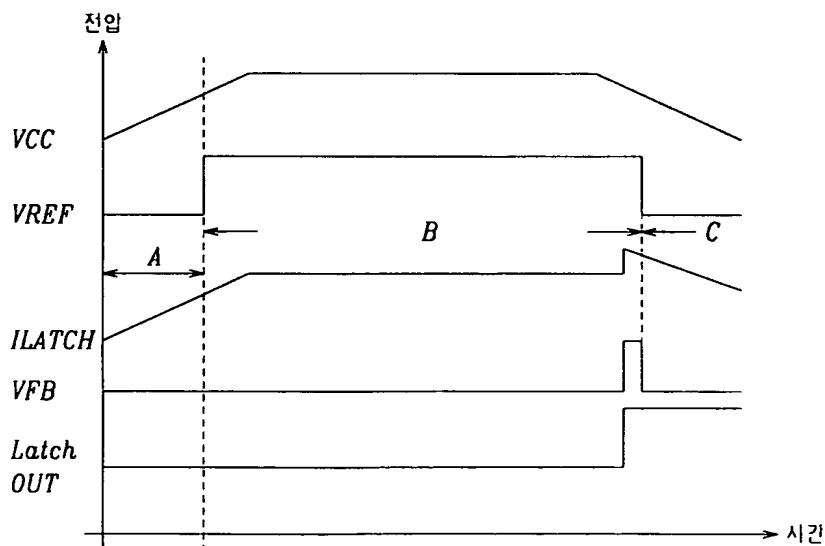
상기 저항(R11)을 필요로 하지 않고, 상기 트랜지스터(Q26)의 베이스가 상기 내부 발진기의 기준 전압에
연결되는 셋 다운 래치 회로.

도면

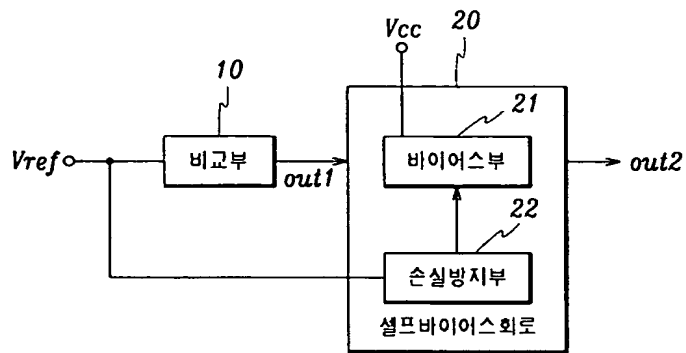
도면1



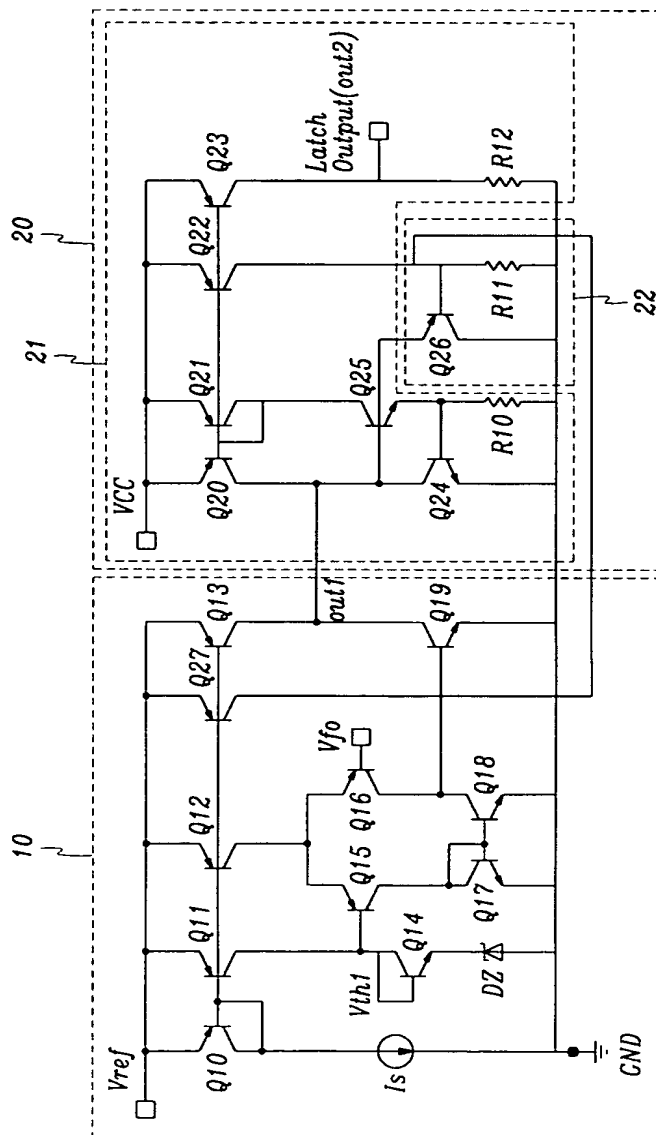
도면2



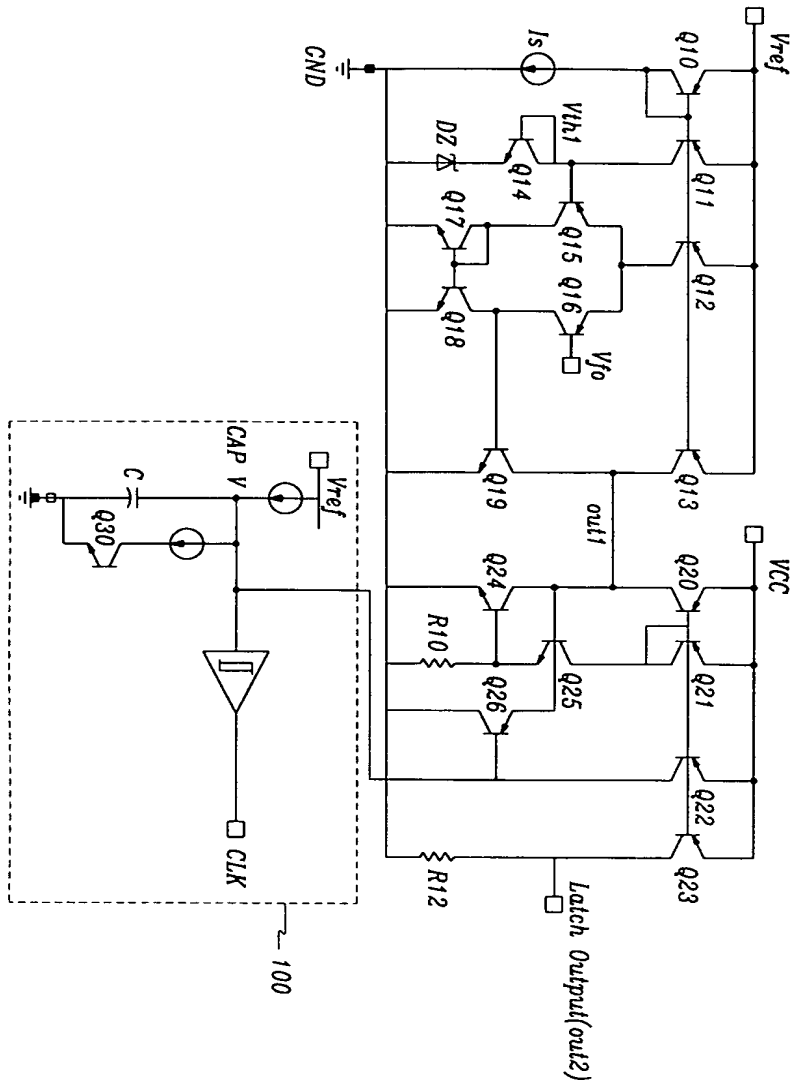
도면3



도면4



도면5



도면6

